



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **59182537 A**(43) Date of publication of application: **17 . 10 . 84**

(51) Int. Cl

H01L 21/76
H01L 21/94
// H01L 29/78

(21) Application number: **58055060**(22) Date of filing: **01 . 04 . 83**(71) Applicant: **HITACHI LTD**

(72) Inventor:
WADA YASUO
SATO AKIRA
KAWAMOTO YOSHIFUMI
HASHIMOTO TETSUKAZU

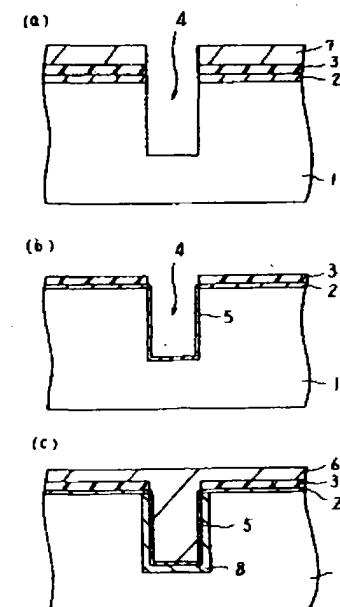
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

same time a P type channel layer 8 is generated on the back side of the film 5.

(57) Abstract:

PURPOSE: To remove generation of a narrow channel effect, etc. even when the width of an isolation region is made to 1μm or less when an inter element isolation construction is to be formed in an IC by a method wherein a groove is dug in a semiconductor substrate, impurities of the same conductive type with the substrate are diffused in the side walls of the groove thereof, the groove is buried with glass, and the glass layer thereof is heat-treated in a wet atmosphere.

CONSTITUTION: An Si₃N₄ film 3 and an SiO₂ film 7 are laminatedly generated on a P type Si substrate 1 interposing an oxide film 2 between the substrate according to the CVD method, the mask of a resist pattern is provided, the film 7 is etched according to CF₄+H₂ gas, and moreover the film 3 is etched according to CF₄ gas containing O₂ of 5% respectively to dig a groove 4. Then the exposed part of the groove 4 thereof is covered with an oxide film 5 to stabilize an isolation region, and a glass film 6 containing boron is applied on the whole surface burying the groove 4. After then, baking is performed in dry N₂ at 200°C, then it is heated at the same temperature in a wet O₂ atmosphere to convert the film 6 into a minute BSG film, and at the



Partial Translation of
Japanese Patent Laying-Open No. 59-182537

Referring to Fig. 1 (a), an oxide film 2 of 50 nm thick is grown on a silicon substrate 1 with P-type (100) surface of $10 \Omega \cdot \text{cm}$ in dry oxygen of 1000°C , and a silicon nitride film 3 of $0.12 \mu\text{m}$ thick and a silicon oxide film 7 of $0.5 \mu\text{m}$ thick are further deposited by CVD (Chemical Vapor Deposition). After forming a resist pattern by common photolithography, silicon oxide film 7 and that part 4 of silicon nitride film 3 which will be an element-isolation region are removed by plasma etching using $\text{CF}_4 + \text{H}_2$ gas and CF_6 gas containing 5 % of oxygen (O_2), respectively. The silicon substrate is etched to a depth of $2 \mu\text{m}$ by microwave plasma etching using CF_4 gas.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭59—182537

⑫ Int. Cl.³
 H 01 L 21/76
 21/94
 // H 01 L 29/78

識別記号 廷内整理番号
 M 8122—5F
 7739—5F
 7377—5F

⑬ 公開 昭和59年(1984)10月17日
 発明の数 1
 審査請求 未請求

(全 5 頁)

④ 半導体装置の製造方法

② 特 願 昭58—55060
 ② 出 願 昭58(1983)4月1日
 ② 発明者 和田恭雄

国分寺市東恋ヶ窪1丁目280番
 地株式会社日立製作所中央研究
 所内

② 発明者 佐藤朗
 国分寺市東恋ヶ窪1丁目280番
 地株式会社日立製作所中央研究
 所内

⑦ 発明者 川本佳史

国分寺市東恋ヶ窪1丁目280番
 地株式会社日立製作所中央研究
 所内

⑦ 発明者 橋本哲一

国分寺市東恋ヶ窪1丁目280番
 地株式会社日立製作所中央研究
 所内

⑦ 出願人 株式会社日立製作所

東京都千代田区丸の内1丁目5
 番1号

⑧ 代理人 弁理士 高橋明夫 外1名

明細書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 半導体集積回路において、一導電型を有する半導体基板に、溝を形成する工程と、該溝により露出された半導体基板側壁に、該半導体基板と同一の導電型を与える不純物を拡散する工程と、該溝を塗布ガラスによって埋める工程と、該塗布ガラス層をウエット雰囲気で加熱処理する工程を少なくとも含む事を特徴とする半導体装置の製造方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は、半導体表面の凹部に不純物拡散層および絶縁物層を有する半導体装置に関する。

〔背景技術〕

従来の半導体集積回路（以下 IC）装置における素子間の分離は、主に LOCOS 法 (Local Oxidation of Silicon ; ジェー. エー. アベルズら, フィリップス, リサーチ, レポート,

25巻.118頁, 1970年, J. A. Appels
 et al; Philips Res. Repts. 25, 118 (1970).)

により行なわれて来た。しかし、LOCOS 法による素子間分離法を、分離幅 1~2 μm 以下（すなわち、活性領域幅 1~2 μm 以下）の IC に適用する場合には、以下に述べる技術的問題点のある事が明らかになつた。

(1) 素子間分離酸化膜（以下 LOCOS 酸化膜）成長時の、酸化膜の活性領域への進入（いわゆるバード・ビーグ（birds beak））による、活性領域寸法の減少。

(2) LOCOS 酸化膜成長時のチャネルドープ不純物の横方向拡散による狭チャネル効果。

(1)による幅の減少は、ほぼ酸化膜厚と等しい値となり、たとえば LOCOS 酸化膜厚を 0.8 μm とすると、0.8 μm、すなわち設計 1 μm 幅のパターンは、0.2 μm となる。また(2)による狭チャネル効果も、パターンの片側から、ほぼ酸化膜厚に相当する距離起ころ。したがつて 0.8 μm の厚さの LOCOS 酸化膜を成長させる場合には、活性領域

幅が $2.4 \mu\text{m}$ ($0.8 \mu\text{m} \times 3$) 以下の場合、(1) および(2) の効果の影響を受ける。したがつて $1 \sim 2 \mu\text{m}$ よりも微細な加工技術による MOSFET 等のデバイスには、新規な素子間分離法が要求される。この素子間分離法に要求される特性は、

- (1) 素子間分離幅の寸法変化が小さいこと。
- (2) 不純物拡散の距離を制御できること。

【発明の目的】

本発明は従来技術の問題点を解決し、良好な素子間分離構造を提供することである。

【発明の概要】

半導体基板上に形成する素子間を分離するために素子を形成すべき、活性領域以外の部分に膜を形成し、その膜の周囲の半導体基板に、該半導体基板と同一の導電型を与える不純物をドープし、さらに該膜を塗布ガラスから成る絶縁物で満たした構造を実現させるものである。この構造は、前述の(1) および(2) の要求を満たすものであり、 $1 \sim 2 \mu\text{m}$ 以下の素子間分離幅を持つ半導体集積回路装置を実現するものである。

【発明の実施例】

実施例 1

第1図(a)は、P型(100)面 $10 \Omega \cdot \text{cm}$ のシリコン基板1上に、 1000°C の乾燥酸素中で厚さ 50 nm の酸化膜2を成長させ、さらに化学蒸着法(Chemical Vapor Deposition : CVD法)により、窒化シリコン膜3および酸化シリコン膜7をおのおの厚さ $0.12 \mu\text{m}$ および $0.5 \mu\text{m}$ に堆積し、通常のホトリソグラフィによりレジストパターン形成後、該酸化シリコン膜7を $\text{CF}_4 + \text{H}_2$ ガスで、また 5% 酸素(O_2)を含有した四 fluor 化炭素(CF_4)ガスを用いたプラズマエッチにより、素子分離領域となるべき部分4の該窒化シリコン膜3をおのおの取り除き、さらに CF_4 ガスを用いたロ波プラズマエッチにより、該シリコン基板を深さ $2 \mu\text{m}$ までエッチした状態を示す。この時の分離領域4の幅は、 $0.8 \mu\text{m}$ であり、また、該ロ波プラズマエッチによる加工でのサイドエッヂ幅は $0.4 \mu\text{m}$ である。

第1図(b)は、該酸化シリコン膜7を非酸溶蔽中

で除去後、 1000°C 乾燥酸素中で酸化し、該分離領域4の半導体基板上に厚さ 20 nm の熱酸化膜5を成長させた状態である。該熱酸化膜5は該分離領域の安定性を保つ上で重要である。この理由は該熱酸化膜がないと、界面単位密度が約 $5 \times 10^{11} \text{ cm}^{-2}$ と高く、これを補償するためには、同等量以上のボロンをドープする必要があり、これは前述の狭チヤネル効果を増大して、素子特性を劣化させる原因となるためである。また、この界面単位の存在は、素子分離領域での電子-正孔再結合速度の増大をもたらし、雑音、リーク電流の原因となつて素子特性を劣化させる。

第1図(c)は、ボロンを含む塗布ガラス(たとえば東京応化製OCDB-11310(商品名))を、スピナ回転数 3000 rpm で塗布し、該素子分離領域4の深さ $2 \mu\text{m}$ の穴を埋め、さらにそれ以外の平坦部に、厚さ $0.3 \mu\text{m}$ の塗布ガラス膜を残し、 200°C 乾燥空素中で20分間ベーク後、ウエット酸素雰囲気中で、 200°C に保つた炉中に挿入し、 $10^{\circ}\text{C}/\text{分}$ の速度で、 800°C 迄昇温し、

800°C で20分間保ち、緻密化を行なつて、ボロンガラス(以下BSGと略)層6を形成した状態である。 800°C のウエット酸素で緻密化を行なう理由は、以下の二点に要約される。

- (1) 塗布ガラスは、アニール温度 700°C 以上で、溶媒がほぼ蒸発し、完全に近いBSG膜に変化する。
- (2) 溶媒および結合した時に生ずる水 ($n\text{Si(OH)}_4 \rightarrow (\text{SiO}_2) + 2n\text{H}_2\text{O}$) のアニールによる逃散は、ウエット酸素雰囲気の方が起り易く、乾燥空素中でアニールすると、厚さ $0.4 \mu\text{m}$ 以上の塗布ガラス層は、応力により破壊が起る。この応力の原因は、前述の溶媒、水の膨張の他に、塗布ガラス膜のアニールによる体積収縮(25%)がある。したがつて、ウエット酸素雰囲気、あるいは、 P_2O_5 , B_2O_3 雰囲気等、塗布ガラス中の液滴の拡散係数が大きい状態でアニールする必接がある。ウエット雰囲気中で酸化する事により、BSG 膜6中のボロンが酸化膜5中を拡散し、基板1中

に拡散されて、チャネルドープ層8が形成される。該チャネルドープ層8の存在により、該素子分離領域4のしきい電圧(以下V_{TH}と略)は、約20Vとなり、電気的分離を完全に行なう事ができる。

実施例 2

第2図(a)は、P型(100)面、10Ω·cmのシリコン基板11上に厚さ20nmの熱酸化膜12、厚さ50nmのCVD酸化シリコン膜13、厚さ500nmのCVD酸化シリコン膜14をおののの堆積し、ホトレジスト技術および反応性スパッタエッチにより、素子分離領域となるべき部分に溝15を形成した状態である。

第2図(b)は、該CVD酸化シリコン膜14を沸騰浴液中で除去後、イオン打込み法によりヒ素(A₅)を50KeVで $7 \times 10^{11} \text{ cm}^{-2}$ 打込み、乾燥空気中で1000°C、40分間のアニールを行なつた後、乾燥空気中で950°C、30分間酸化し、厚さ30nmの酸化膜16を成長させ、同時に溝15の側壁部分を含む内壁全体に、ヒ素拡散

層17を形成した状態を示す。この時、ヒ素拡散層が該溝15の内壁全体に形成される理由は、ヒ素の蒸気圧が1000°Cで数気圧以上と高いため、乾燥空気中でアニールを行なう事により、溝15中に一過性拡散し、再び内壁に付着して半導体基板11中に拡散されるためである。ヒ素を十分に制御して拡散するためには、該溝15の内壁のシリコン基板11上に、自然酸化膜などのヒ素拡散を妨げる膜が存在しない事が必要であり、したがつて、乾燥空気中でアニールする前に、先駆浴液中等で十分に洗浄し自然酸化膜を除去する。また窒素中の酸素、および水分の残留も、数ppm以下である事が必要である。

第2図(c)は、塗布ガラスたとえばOCD A-s-11310(商品名: 東京応化製)を回転数4000rpmでスピンドル塗布し、平坦部膜厚200nmの塗布ガラス膜を形成、800°Cウエット雰囲気中でアニールし、該塗布ガラス膜を酸化シリコン(SiO₂)に変換し、さらに、沸騰浴液中で200nmエッチ後、再び、塗布ガラスを5000rpmで回転塗布し、

900°Cウエット雰囲気中でアニールして、第1の埋込みSiO₂層18および第2の埋込み層19を形成した状態を示す。本実施例のように、多重塗布を行なうと、より平坦な分離帯の埋込みが可能となる。

実施例 3

第3図(a)は、P型(100)面、10Ω·cmのシリコン基板21上に、厚さ20nmの熱酸化膜22および厚さ120nmのCVDシリコン酸化膜23を成長させ、反応性スパッタエッチにより幅0.8μm深さ1μmの溝24を形成し、さらにイオン打込み法によりボロンイオンを25KeVで $1 \times 10^{11} \text{ cm}^{-2}$ 打込み、ボロン拡散層33を形成した状態を示す。

第3図(b)は、ボロンを10ppm含有する塗布ガラスをスピンドル回転数2000rpmで塗布し、平坦面の膜厚を0.15μmとし、溝中に厚さ0.6μmの膜厚の塗布ガラス層25を形成、ウエット雰囲気中で1000°Cから20°C/mmの割合で徐々に昇温し、800°Cで20分間アニールした状態を示す。

塗布ガラスを直接塗布しても界面単位密度(Q₁₁₁)の影響を受けないのは、後に述べるようウエット酸素中の熱処理により成長する酸化膜のため、シリコン-シリコン酸化膜界面のQ₁₁₁が $1 \times 10^{11} \text{ cm}^{-2}$ 以下に低減されるためである。

第3図(c)は、該塗布ガラス層25を沸騰浴液中で厚さ0.15μmだけ除去し、再びボロンを100ppm含有する塗布ガラスを、平坦面の膜厚が0.15μmになるよう塗布し、ウエット雰囲気中で200°Cから60°C/mmで昇温し、1000°Cで10分間アニールし、第二の塗布ガラス層26を形成した状態を示す。

この1000°Cのウエット酸化により、塗布ガラスとシリコン界面に成長した酸化膜のため、Q₁₁₁は $1 \times 10^{11} \text{ cm}^{-2}$ 以下に低減でき、過剰ボロンの拡散は不要である事がわかつた。またこの拡散により、溝24の内壁にボロン拡散層34が形成される。

第3図(d)は、該第二の塗布ガラス層26の表面を沸騰浴液中で0.15μmエッチし、さらに180°Cに加熱した熱リソングラフ中で20分間加熱し、該シ

リコン窒化膜23を除去また沸酸浴液中で該酸化膜22を除去し、ゲート酸化膜27チャネルドープ層28、ゲート導電体29形成、ソースドレーン30形成、層間膜31形成、アルミニウム配線32形成等のプロセスを経て、MOSFETあるいはMOSICを完成した状態を示す。

〔発明の効果〕

本実施例により実現されたMOSFETは、ハーフビーフによるチャネル幅の減少を0.1μmまで狭チャネル効果を0.6μmに押える事ができ、従来方法の0.4μmおよび2.0μmに比較して、1/3以下とする事ができた。

本発明による他の効果は、電子分離領域の幅が0.8μmと狭いにもかかわらず、分離領域のしきい電圧は、15V以上と、高い値が得られ良好な電子分離特性が実現できる点にある。この理由は、ソースドレーン領域の総合深さよりも、電子分離領域が深く基板中に貫入しているため、いわゆる二次元効果によるしきい電圧の低下が起りにくいためである。

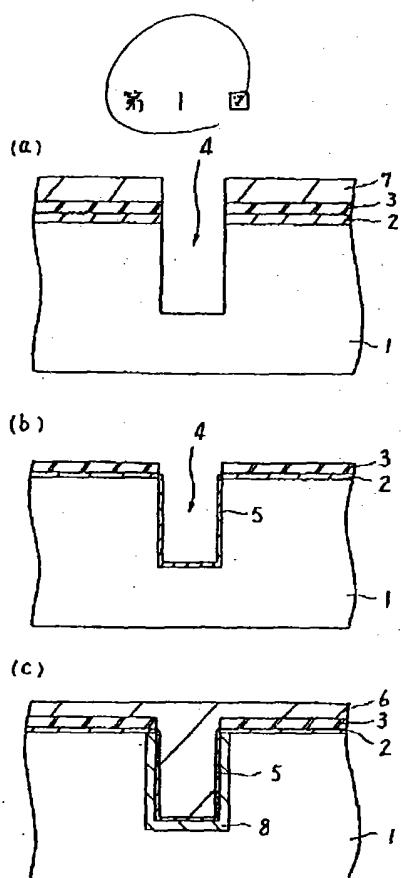
以上実施例により詳細に説明した如く、本発明によれば、電子分離領域幅を1μm以下にしても、活性領域幅の減少、狭チャネル効果等の電子特性劣化を伴なわず、かつ分離耐圧も15V以上と、良好な電子特性を実現できる。

図面の簡単な説明

第1図～第3図は、本発明の実施例を示す工程図である。

1, 11, 21…シリコン基板、2, 12, 22, 5, 16…熱酸化膜、3, 13, 23…窒化シリコン膜、4, 15, 24…溝、6, 18, 19, 25, 26…塗布ガラス膜、7, 14, 31…CVD酸化膜、8, 17, 33, 34, 28…チャネルドープ層、27…ゲート酸化膜、29…ゲート導電体、30…ソースドレーン領域、32…アルミニウム層。

代理人弁護士 高橋明夫



第2図

